

他端と、の間の電気的接続を維持したまま、

スクラップラインの第1セットに於いて前記アレイをカットして、前記ゲートラインおよびソースラインの前記一端を露出させることを特徴とする請求項3記載の方法。

6. さらに、

スクラップラインの第2セットに於いて前記アレイにさらなるカットを施して、前記ゲートラインおよびソースラインの前記他端と、前記保護層と、の間の電気的接続を断ち切ることを特徴とする請求項5記載の方法。

7. 前記さらなるカットを、レーザークット操作を用いて行うことを特徴とする請求項6記載の方法。

8. さらに、

前記ソースラインおよびゲートラインの前記一端を、第1短絡部材に接続し、前記ソースラインおよびゲートラインの前記他端を、第2短絡部材に接続し、これら第1短絡部材と第2短絡部材とを電気的に接続することを特徴とする請求項1記載の方法。

9. 前記ソースラインおよびゲートラインの前記一端と前記他端とは、前記アレイの反対側とにおいて、交互に配置されていることを特徴とする請求項8記載の方法。

10. 前記保護層は、低抵抗性保護層子の形態とされていることを特徴とする請求項9記載の方法。

11. さらに、

前記第1および第2短絡部材と、前記ゲートラインおよびソースラインの前記他端と、の間の電気的接続を維持したまま、

スクラップラインの第1セットに於いて前記アレイをカットして、前記ゲートラインおよびソースラインの前記一端を露出させることを特徴とする請求項10記載の方法。

12. さらに、

スクラップラインの第2セットに於いて前記アレイにさらなるカットを施して

、前記ゲートラインおよびソースラインの前記他端と、前記保護層と、の間の電気的接続を断ち切ることを特徴とする請求項11記載の方法。

13. 前記さらなるカットを、レーザークット操作を用いて行うことを特徴とする請求項12記載の方法。

14. 共通の基板の上に形成されるときにも行列配置された半導体スイッチアレイであるとともに、このアレイの前記列または前記行のうちの一方を各々のスイッチがソースラインによって相互接続され、かつ、前記アレイの前記列または前記行のうちの他方を各々のスイッチがゲートラインによって相互接続されている半導体スイッチアレイと、

前記基板の上に形成されるときにも、電気的に接続された一対の短絡部材と、を具備してなり、

前記ゲートラインおよびソースラインの各々が、前記短絡部材の一方に対しては直接的に接続され、前記短絡部材の他方に対しては保護層子を介して接続されていることを特徴とする静電気保護回路を備えた半導体スイッチアレイ。

15. 前記保護層子は、低抵抗性保護層子の形態とされていることを特徴とする請求項14記載の半導体スイッチアレイ。

16. 前記ソースラインの一端が前記短絡部材の一方に直接的に接続されているとともに、前記ソースラインの他端が前記保護層子を介して前記一方の短絡部材に接続され、

前記ゲートラインの一端が前記短絡部材の他方に直接的に接続されているとともに、前記ゲートラインの他端が前記保護層子を介して前記他方の短絡部材に接続されていることを特徴とする請求項15記載の半導体スイッチアレイ。

17. 前記ゲートラインおよびソースラインの前記他端と、前記短絡部材の一方および他方と、の間の電気的接続を維持したまま、前記ゲートラインおよびソースラインの前記一端を露出させるような、前記アレイのカットを案内するためのスクラップラインを具備していることを特徴とする請求項16記載の半導体スイッチアレイ。

18. 前記ソースラインおよびゲートラインの各々の一端が前記短絡部材の一方

に直接的に接続されているとともに、前記ソースラインおよびゲートラインの各々の他端が保護素子を介して前記短絡部材の他方に接続されていることを特徴とする請求項15記載の半導体スイッチアレイ。

19. 前記ソースラインおよびゲートラインの前記他端と前記他端とは、前記アレイの反対側とすしにおいて、交互に配置されていることを特徴とする請求項18記載の半導体スイッチアレイ。

20. 前記ゲートラインおよびソースラインの前記他端と、前記他方の短絡部材と、の間の電気的接続を維持したまま、前記ゲートラインおよびソースラインの前記一端を露出させるような、前記アレイのカットを案内するためのスクラップラインを具備していることを特徴とする請求項19記載の半導体スイッチアレイ。

【発明の詳細な説明】

静電放電防止回路付き半導体スイッチアレイおよび製造方法

発明の要する技術分野

本発明は、半導体スイッチアレイを静電放電によるダメージから保護するための方法、および、静電放電防止回路付き半導体スイッチアレイに関するものである。

発明の要旨

静電放電 (electrostatic discharge, ESD) によるダメージは、周知の現象であり、金属-酸化層-半導体 (MOS) 構造のような半導体デバイス製造時に起こり得る。この種の構造においては、ESDダメージは、ゲート絶縁層の絶縁破壊、しきい値電圧の大きなシフト、および、ゲート・ソース電極間のあるいはゲート・ドレイン電極間の大きなリーク電流を引き起こす可能性がある。

ESDダメージは、液晶ディスプレイや、発光値のためのフラットパネル表示器において使用するための、薄膜トランジスタ (TFT) 型スイッチアレイの製造時には、よく知られた課題である。これは、TFTスイッチが、絶縁層（典型的には、ガラス）上に形成されており、そのため、ソース電極およびドレイン電極に非常に高い電圧がかかり得ることによる。また、TFTスイッチアレイが接続されることとなる周辺回路が、通常、TFTスイッチアレイと同じ基板上に形成されていないことにより、ゲートラインおよびソースラインは、周辺回路とTFTスイッチアレイとをワイヤボンディングパッドを介して接続し得るのに十分な長さだけ、TFTスイッチアレイから延出されなければならない。ゲートラインおよびソースラインによって形成される静電気は、TFTスイッチのゲート電極およびソース電極へと、また、ゲートラインおよびソースラインの交差箇

所へと、搬送され、そこにおいて、保持される。静電気が十分に高いレベルに到達した場合、ゲート電極とソース電極との間の誘電性ゲート絶縁層が、絶縁破壊する可能性がある。更に、この絶縁破壊が避けられたにしても、この保持静電気によって引き起こされた、ゲート・ソース電極・ソース電極間の、あるいは、ゲート電極・ドレイン電極間の電位差は、TFTスイッチのしきい値電圧を超えること

がで、そのため、正方向または負方向にシフトさせることができる。

近年、E/S Dゲメーシからくる問題点、特に、アクチアママトリクス型液晶ディスプレイや、発光素子のためのフラットパネル構造におけるE/S Dゲメーシからくる問題点については、多くの注意が寄せられている。今日では、E/S Dゲメーシは、また、このようなタイプのディスプレイの製造時の、取扱い、および、テスト時の、製造に関連した問題点によっても引き起こされることが知られている。より大きな面積の回路を使用する傾向のために、より高度で複雑な取扱いを行う傾向のためには、金属線幅を減少するといったまたTFTスイッチャックの寄生キャパシタンスを減少せよといった、製造プロセスにおけるダウンスケールの傾向のために、E/S Dに對する特性が減少している。

TFTスイッチャックは、E/S Dに對する特性が減少している。ある共通のE/S Dゲメーシ保護回路においては、TFTスイッチャックがアレイを形成する短絡バーを使用して、TFTスイッチャックのアレイのすべてのゲートラインおよびソースラインを相互接続する。ゲートラインに関する短絡バーは、ゲートラインの形成時に形成される。一方、ソースラインに関する短絡バーは、ソースラインの形成時に形成される。これら2つの短絡バーは、TFTスイッチャックがアレイ構造内に形成されたバイアスを通して、電気接続される。短絡バーがアレイ内のすべてのTFTスイッチャックのゲート電極およびソース電極を接続することにより、ゲート電極およびソース電極は、製造時全段を通して、同一電位のままとされる。これにより、ゲート電極・ソース電極間において、いかなる電位差の発生をも避けることができる。したがって、これらゲート電極およびソース電極におけるE/S Dゲメーシを防止することができる。

TFTスイッチャックがアレイを形成した後に、短絡バーは、短絡バーが位置しているガラス基板の一部をカットすることによって、除かれる。このカット操作は、個々のTFTスイッチャックがテストされる前に、また、ゲートラインおよびソースラインが周辺回路に接続される前に、行われる。

上記のE/S Dゲメーシ保護回路は、広く使用されているけれども、短絡バーが除かれてしまった後には、E/S Dゲメーシ保護は、一切存在しない。このことは

、E/S Dゲメーシが、TFTスイッチャックのテスト時には、また、ゲートラインおよびソースラインを周辺回路に接続する際に、頻繁に発生することにより、問題点となっている。これは、このような段階においては、TFTスイッチャックがアレイが、人によって取り扱われることや、電子周辺機器と接続すること、に起因している。

TFTスイッチャックがアレイに對する他のE/S Dゲメーシ保護ネットワークは、米国特許第4,803,506号に開示されている。このE/S Dゲメーシ保護ネットワークにおいては、すべてのボンディングパッドにおおって延在する、N+モルファシリコン製低抵抗性材料フィルムからなるストリッパが使用される。この低抵抗性材料フィルムの低抵抗は、ボンディングパッドに接続されることとなる外部ドライバ回路のインピーダンスよりも、少なくとも1桁大きいものとされている。低抵抗性材料フィルムの低抵抗を操作することにより、静電気は、R₀抵抗で、すべてのゲートラインおよびソースラインへと分散する。個々のTFTスイッチャックは、低抵抗性材料フィルムを除去することなくテストすることができるとしても、低抵抗性材料フィルムが、すべてのゲートラインおよびソースラインにおおって延在することとなる。これによって、クロストークや電子ノイズが引き起こされる。このようなクロストークや電子ノイズは、信号電流が小さいような例えばX線像といった特定の応用に関しては、深刻な問題となる。

米国特許第5,313,319号には、TFTスイッチャックがアレイに對するさらに他のE/S D保護回路が開示されている。このE/S D保護回路は、TFTスイッチャックのアレイの延在上において、ゲートラインおよびソースラインの間に形成された静電気保護キャパシタを備えている。静電気保護キャパシタの厚さは、TFTスイッチャックに對するE/S Dゲメーシが起るよりも前は、これら静電気保護キャパシタにおいて静電気による絶縁破壊が確実にかかるように、選択されている。うまくないことは、静電気保護キャパシタは、TFTスイッチャックアレイ内における保護キャパシタを増大させる。そのため、電子ノイズが増大し、多くの応用に対して、TFTスイッチャックアレイを不適切なものとしてしまう。

日本国公開特許2年-第61618号、日本国公開特許62年-第19882

6号、日本公開特許1年一第303416号、および、米国特許第5、371、351号には、アモルファスシリコンフィルム製フォトダイオードを使用した、TFTスイッチアレイに對するESD保護回路が開示されている。これらのフォトダイオードは、ゲートラインとソースラインとを接続して、これらがゲートライン・ソースライン間の電位差を最小化する。フォトダイオードが発光した場合には、保護回路の抵抗が急激に減少し、ゲートラインとソースラインとの間で短絡回路を形成する。個々のTFTスイッチをテストする際、あるいは、TFTスイッチアレイが通常状態で動作する際には、フォトダイオードは発光するいかなる不注意な発光も許容されていない。これにより、保護回路は、非常に大きな抵抗値を維持し、クロストークやリーク電流を最小化する。

米国特許第5、220、443号には、TFTスイッチアレイに對するESD保護回路が開示されている。この保護回路は、ゲートラインおよびソースラインを相互接続する共通電極を備えている。電圧増強につれて減少するような抵抗値を有する非線形抵抗素子が、ゲートライン・ソースライン間に接続されている。非線形抵抗素子は、2つの管中合致に配置された隣接ダイオードを使用して実現されている。抵抗素子がゲートライン・ソースライン間において大きな抵抗値を有していることにより、個々のTFTスイッチは、ガラス基板をカットすることなく、テストすることができ、ガラス基板をカットした後においても、

非線形抵抗素子のいくつかが、開いたままであり、TFTスイッチアレイのESDダメージに對する耐性を向上させる。しかしながら、カット後の、TFTスイッチアレイのESDダメージに對する耐性は、カット前よりも著しく減少する。

上記従来のESD保護回路のすべてにおいては、共通の欠点を有している。まず、第1製造ステージ（通常、ゲートライン形成）から最終製造ステージ（通常、ワイヤボンディング）までにはわたって、TFTスイッチアレイを保護し得るESD保護回路がないことである。液晶ディスプレイのためのTFTスイッチアレイの製造時には、フォトリソジストのストレーンリリース層または剥離層に、また、D1水を使用したクリエニニエーション時に、さらに、ガラス基板エッチング時に

、ESDダメージが起こり得ることがわかっている。これらのプロセスは、しばしば、TFTスイッチアレイ構造の完成前に行われる。従来技術において保護されるべきは、ソースラインのメタライゼーションの前には、ゲートラインを個別化することにより、ゲートライン上に静電気が蓄積されることとなる。ゲートライン上の静電気は、ゲート絶縁層をなす誘電フィルムの下に埋め込まれる可能性があり、製造プロセスの以降のステージまで保持される可能性がある。以降のステージにおいては、埋め込まれた静電気は、ゲートライン上を移動することであり、いくつものポイント上にまたは境界線上に集中することができ、これにより、誘電性ゲート絶縁層に絶縁破壊を引き起こされる。

加えて、いくつものものにおいては、保護素子によってゲートラインおよびソースラインが相互接続されていることにより、ゲートライン・保護素子間にまたはソースライン・保護素子間に接続不良があれば、ゲートラインまたはソースラインが、共通電極から切り離されることとなる。

米国特許第5、220、443号の場合には、ワイヤボンディングプロセス時において、基板上にいくつものESDダメージ保護回路が開いているけれども、任意のゲートライン・ソースライン間におけるインピーダンスは、大きくなりすぎ、ESDダメージを回避するのに十分なだけ迅速に静電気を放電することができない。したがって、ESDダメージに對して、より有効な保護が、要請されている。

したがって、本発明の目的は、ESDダメージから半導体スイッチアレイを保護するための信頼性高い方法を提供することであり、また、上記欠点の少なくとも1つを除去または軽減し得るような静電放電保護回路を備えた半導体スイッチアレイを提供することである。

発明の概要

本発明の1つの実施例においては、共通の誘電上に形成されるときもに行列配置された半導体スイッチアレイであるとともに、このアレイの前記列または前記行のうちの一方をなす個々のスイッチがソースラインによって相互接続され、かつ、前記アレイの前記列または前記行のうちの他方をなす個々のスイッチがゲート

ラインによって相互接続されているような前記アレイに対しての、静電放電ダメージを防止するための方法であって、

前記ゲートラインの形成時に、各ゲートラインの一端を直接的に短絡部材に接続するとともに、各ゲートラインの他端を保護素子を介して短絡部材に接続し；前記ソースラインの形成時に、各ソースラインの一端を直接的に短絡部材に接続するとともに、各ソースラインの他端を保護素子を介して短絡部材に接続し；前記短絡部材どうしを電気的に接続する静電放電ダメージの防止方法が提案される。

本発明の他の見地においては、共通の基板上に形成されるとともに行列配置された半導体スイッチアレイであるとともに、このアレイの前記列または前記行のうち一方をなす個々のスイッチがソースラインによって相互接続され、かつ、前記アレイの前記列または前記行のうち他方をなす個々のスイッチがゲートラインによって相互接続されている半導体スイッチアレイと、

前記基板上に形成されるとともに、電気的に接続された一対の短絡部材と、を具備してなり、

前記ゲートラインおよびソースラインの各々が、前記短絡部材の一方に対しては直接的に接続され、前記短絡部材の他方に対しては保護素子を介して接続されている静電放電保護回路を備えた半導体スイッチアレイが提案される。

ある実施形態においては、上記方法において、さらに、前記各ソースラインの前記一端および前記他端を第1短絡部材に接続し、前記各ゲートラインの前記一端を第2短絡部材に接続するとともに、前記各ゲートラインの前記他端を前記第1短絡部材に接続し、前記第1短絡部材と前記第2短絡部材とを電気的に接続することが好ましい。

他の実施形態においては、上記方法において、さらに、前記ソースラインおよびゲートラインの前記一端を、第1短絡部材に接続し、前記ソースラインおよびゲートラインの前記他端を、第2短絡部材に接続し、これら第1短絡部材と第2短絡部材とを電気的に接続することが好ましい。この場合、前記ソースラインおよびゲートラインの前記一端と前記他端とは、前記アレイの反対側のようにお

て、交互に配置されていることが、また、好ましい。双方の実施形態において、前記保護素子は、低抵抗保護素子の形態とされていることが好ましい。

本発明によれば、半導体スイッチアレイの製造プロセスおよびテストプロセス全体を通して、ESDダメージ保護を維持できるという利点があり、また、そのようなESDダメージ保護が、通常の半導体スイッチアレイの製造プロセスに適合しているという利点がある。

図面の簡単な説明

以下、本発明の実施形態について、添付図面を参照して、より詳細に説明する。

図1は、TFTスイッチアレイを備えている発光素子のためのフラットパネル機出力を概略的に示す図である。

図2は、図1に示すフラットパネル機出力の一部をなす画素の等価回路を示す図である。

図3は、ESDダメージ保護回路を備えたTFTスイッチアレイを概略的に示す図である。

図4は、図3の断面図である。

図5は、図3の他の断面図である。

図6は、ESDダメージ保護回路を備えたTFTスイッチアレイの代替可能な実施形態を概略的に示す図である。

図7は、図6のTFTスイッチアレイの一部を示す半断面図である。

図8は、図6のTFTスイッチアレイの他の部分を示す半断面図である。

図9は、図7における9-9線矢視断面図である。

本発明を説明するための図の幾何形状の説明

図1には、発光素子のためのフラットパネル機出力器を示しており、フラットパネル機出力器は、全体的に参照符号20で示されている。フラットパネル機出力器は、行列配置された複数の画素22の形態をなす、半導体スイッチアレイ21を備えている。ゲートライン24が、各列の画素22を相互接続しており、一方、ソースライン26が、各行の画素22を相互接続している。ゲートライン24は、ソ

ートドライバ回路28に接続されている。ゲートドライバ回路28は、制御回路29からの入力に応じて、ゲートラインに連続してパルスを与え、ソースライン26は、電源増幅器30に接続されている。電源増幅器30は、アナログマルチプレクサ32に接続されている。アナログマルチプレクサ32は、制御回路29からの入力に応じて、デジタル化された発光値を形成するようデジタル化する。ことができる値出力をもちます。

図2は、1つの面素22の等価回路を示している。図に示すように、面素22は、面素電極36の形態をなす貯蔵キャパシタC_{st}に接続された発光トランスデューサC_{led}を含んでいる。面素電極36は、電荷トランジスタ(TFT)スイッチ38のドレイン電極を構成している。TFTスイッチ38のソース電極は、ソースライン26の1つに接続されており、TFTスイッチ38のゲート電極は、ゲートライン24の1つに接続されている。

発光トランスデューサC_{led}がバイアスされて発光を誘起している場合には、発光トランスデューサC_{led}は、発光露光量に比例した電荷の面素電極への蓄積を引き起こす。蓄積されると、電荷は、TFTスイッチ38のゲート端子にゲートパルスを供給することにより、読み取ることができる。TFTスイッチがゲートパルスを受領したときには、TFTスイッチは、面素電極36をソースライン26に接続する。これにより、面素電極が放電することができる。ソースライン26上の電荷は、電荷増幅器30により検出される。電荷増幅器30は、検出された電荷に比例した出力電圧を生成する。電荷増幅器30からの出力電圧は、アナログマルチプレクサ32へと伝送される。

図3に示すように、面素アロセスの順に、ゲートライン24およびソースライン26を順えた面素22のアレイ21が、共通のガラス基板上に形成される。ソースライン26の端部には、チストのための、あるいは、ワイヤボンディングのための、ボンディングパッド46が形成される。同時に、ゲートライン24の端部には、ワイヤボンディングパッド48が形成される。上述のように、TFTスイッチアレイ21の製造時に、あるいは、TFTスイッチアレイ21のテスト時に、あるいは、例えばゲートドライバ28および電荷増幅器30の接続といった

、TFTスイッチアレイ21の周辺回路への接続時には、TFTスイッチアレイに對するESDダメージが起こる可能性がある。TFTスイッチアレイ21の製造時に對するESDダメージの発生を低減するために、後述のESDダメージ保護回路50が、同じガラス基板上に製造されている。

ESDダメージ保護回路50は、リング52の形態とされた第1短絡部材を含んでいる。リング52は、TFTスイッチアレイを囲んでいるとともに、TFTスイッチアレイ21のすべてのソースライン26を相互接続している。詳細には、リング52は、TFTスイッチアレイ21の一端部において、ワイヤボンディングパッド48に對して直接的に接続されている。また、TFTスイッチアレイを囲んでいるとともに、TFTスイッチアレイ21のすべてのソースライン26を相互接続している。第2短絡リング56は、TFTスイッチアレイ21の一端部に對して、ワイヤボンディングパッド46に對して直接的に接続されている。そして、第2短絡リング56は、TFTスイッチアレイ21の他の端部において、ワイヤボンディングパッド46に對して、低抵抗保護素子58を介して接続されている。短絡リング56は、また、TFTスイッチアレイ21の他の端部において、ワイヤボンディングパッド48に對して、低抵抗保護素子54を介して接続されている。2つの短絡リング52、56は、TFTスイッチアレイ構造内に形成されたバイアス(図示せず)を介して、電気的に接続されている。低抵抗保護素子54、58は、ゲートライン24およびソースライン26上に集まった静電気をリークさせるための電流経路を提供しているとともに、ゲートラインおよびソースラインのインピーダンスよりも、少なくとも1桁大きな低抵抗値を有している。

図4および図5は、それぞれ、低抵抗保護素子54および58を示している。図4に示すように、低抵抗保護素子54は、セレン化カドミウム(CdSe)製の半導体材料チャネル78を含んでいる。ワイヤボンディングパッド48は、ゲート絶縁層74およびバッシュレーン層76内に形成されたバイアスを介して、チャネル78に接触している。短絡リング56は、また、チャネル78に接触

している。図5は、低抵抗保護素子58を示している。図5に示すように、低抵抗保護素子58は、セレン化カドミウム(CdSe)製の半導体材料チャネル78を含んでいる。ワイヤボンディングパッド48は、ゲート絶縁層74およびバッシュレーン層76内に形成されたバイアスを介して、チャネル78に接触している。短絡リング56は、また、チャネル78に接触

している。低抵抗保護素子58は、また、CDS6割チャネル78を備えている。チャネル78は、ワイヤボンディングパッド46、および、短絡リング56と接続している。上記のように、短絡リング56は、バイアス（図示せず）を介して、短絡リング52に接続されている。低抵抗保護素子54、58の低抵抗値は、バイアス電圧につれて増進的あるいは非増進的に変化し得るよう構成されており、例えば、TFTスイッチ、TFD（薄膜ダイオード）、ツェナダイオード、あるいは、フォトダイオードといった様々な構造のうち1つの形態をとることができる。

図4であればわかるように、短絡リング52は、TFTスイッチアレイ構造の基板上にゲートライン24が形成されるときに、形成される。短絡リング56は、基板上にソースライン26が形成されるときに、形成される。

ガラス基板上に、TFTスイッチアレイ21およびESDダミー保護回路50が形成された後は、スクライプ線ABCDに沿って、TFTスイッチアレイ構造をカットして、TFTスイッチアレイの一端部から延在しているソースラインおよびゲートラインに接続されたワイヤボンディングパッド46、48を露出させることができ、アレイ内の個々のTFTスイッチ38をテストすることができる。このようなスクライプ線は、テスト時に、低抵抗保護素子54、58を介して相互接続されたゲートライン24およびソースライン26をそのままの状態として、各短絡リング52、56の各々の一端がそのまま残るよう、設定されている。TFTスイッチアレイのゲート絶縁層をなす誘電性フィイルム上に何らかの非平衡電位が発生してゲートラインまたはソースライン上に静電気が現れた場合においても、その静電気は、ゲートラインおよびソースラインに接続された低抵抗保護素子を通して迅速に分散することができる。

テストが完了した後は、ゲートドライバ28からの出力は、ワイヤボンディングパッド46によって、露出されたゲートライン24のワイヤボンディングパッド48に接続することができる。同時に、電荷増幅器30に対する入力は、ワイヤボンディングアロセスによって、露出されたソースライン26のワイヤボンディングパッド46に接続することができる。このようにして、TFTスイッチア

レイ21は、ESDダミー保護回路の半分がそのまま残った状態で、周辺回路に接続することができる。

ワイヤボンディングアロセスが完了した後は、ESDダミー保護回路50の残された半分は、スクライプ線BCに沿ったレーザカット操作によって、TFTスイッチアレイ21から切り取ることができる。しかしながら、ESDダミー保護回路の残り半分は、ゲートラインに印加されたゲートパルスをゲートドライバ28へと伝送することができ、フラットパネル輸出回路20の動作時に、有効である。これにより、ゲートパルス波の形成や、電子ノイズの低減を行うことができる。加えて、低抵抗保護素子54、58と、短絡リング52、56と、の間に残った保護により、ボンドワイヤが剥がれた場合や、電荷増幅器30またはゲートドライバ28に欠陥が発生した場合などには、過剰の電荷をグラウンドへとリークさせることができる。

特に、溶解構成のTFT液晶ディスプレイやフラットパネル輸出器といったいくつかの応用においては、TFTスイッチアレイ21の両側にゲートラインおよびソースラインが接続された周辺回路を使用することが要請されている。図6〜図9には、ESDダミー保護回路150を備えたTFTスイッチアレイの他の実施形態121が示されている。このTFTスイッチアレイ121は、両側周辺回路に適合している。この実施形態においては、明確化のために、先と同様の部材については、「100」を加えた参照符号が使用されている。

図に示すように、ESDダミー保護回路150は、TFTスイッチアレイ21のゲートライン124のすべてを相互接続する短絡リング152を備えている。短絡リング152は、ワイヤボンディングパッド148を介して、各ゲートライン124の一端だけに接続されている。短絡リング152とワイヤボンディングパッド148との間の接続は、TFTスイッチアレイの区別間においては、交互の関係となっている。短絡リング152は、また、TFTスイッチアレイ構造内に形成されたバイアスを介して、TFTスイッチアレイのソースライン126のすべてを相互接続している。短絡リング152は、ワイヤボンディングパッ

ド146を介して、各ソースライン126の一端だけに接続されている。短絡リング152とワイヤボンディングパッド146との間の接続は、また、TFTスイッチアレイ121の反対側においては、1つおきに交互の両端となっている。第2短絡リング156は、低抵抗保護素子154を介して、各ゲートライン124の他端に接続されている。短絡リング156は、また、低抵抗保護素子152を介して、各ソースライン126の他端に接続されている。短絡リング152、156は、TFTスイッチアレイ構造のコーナー部に形成されたバイアス160、160（図7、8参照）を介して、電気的に接続されている。低抵抗保護素子154、158の双方のセットは、同様であるべきであるけれども、図7には、低抵抗保護素子154の1つを示している。図に示すように、低抵抗保護素子154は、TFTスイッチアレイ構造のゲート絶縁層174およびバレル層176に形成されたバイアス172を介して、ゲートライン124に対して接続されている。低抵抗保護素子170を備えている。タブ170は、CDS6型半導体材料チャネル178に接続している。短絡リング156は、また、チャネル178に接続している。しかしながら、短絡リング156は、接続タブ170からは離間している。

ガラス基板上にTFTスイッチアレイ121およびESDダマージ保護回路150が形成された後に、スクライプ線ABCD Aに附ってTFTスイッチアレイをカットして、TFTスイッチアレイ内の個々のTFTスイッチをテストすることができ、上記処理形態と同様に、スクライプ線は、カット後に、低抵抗保護素子154、158を介して、ゲートライン124およびソースライン126の各々の一端が、短絡リング156に接続されたままであるように、設定されている。

テストが完了した後には、TFTスイッチアレイ121の両側において、周辺回路を、露出されたワイヤボンディングパッド146、148に接続することが

できる。この後に、ゲートラインおよびソースラインと短絡リング156との間の接続を、周辺回路に接続されたゲートライン124およびソースライン126を跨ぐようプログラムされたアログラマブルレーザーカット装置を使用して、切

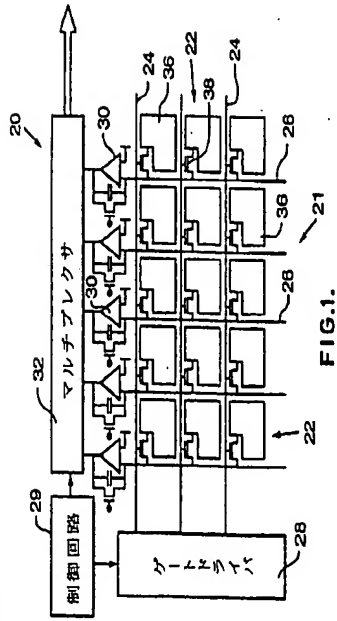
り隔すことができる。

当業者であればわかるように、ESDダマージ保護回路は、TFTスイッチアレイの第1周辺回路（ゲートラインの形成）から、テストやTFTスイッチアレイの周辺回路との接続までにあたって、存在している。これにより、TFTスイッチアレイに起こるようなESDダマージのようなものを、従来のスイッチアレイと比較して、低減することができる。

発光値のためのフラットパネル射出器に使用されるTFTスイッチアレイに開通したESDダマージ保護回路について説明してきたけれども、ESDダマージ保護回路が他の応用に対するTFTスイッチアレイの形成時に製造できることは、当業者には明らかであろう。また、ESDダマージ保護回路は、製造時およびテスト時におけるESDダマージからのスイッチアレイの保護が望まれているような他の半導体スイッチアレイの形成時に形成することができる。

また、当業者であれば、露出クレームによって定義された本発明の範囲から逸脱することなく、本発明に修正および改良を加え得ることは、周知されるであろう。

【図1】



【図2】

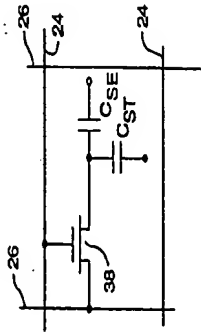
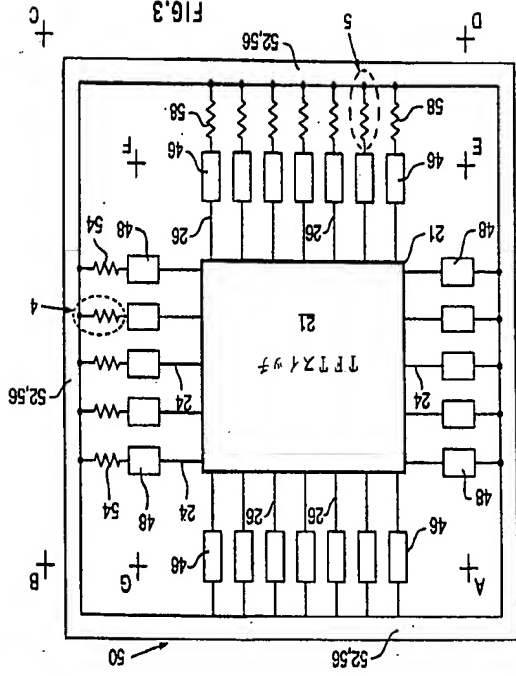
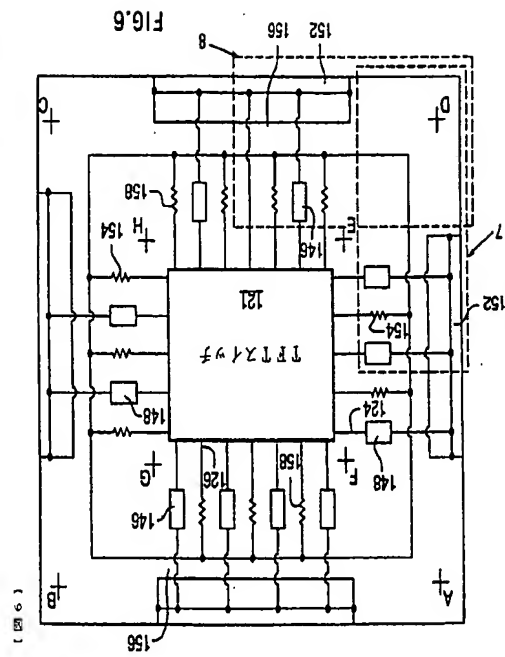
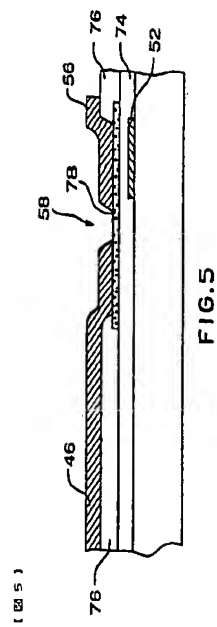
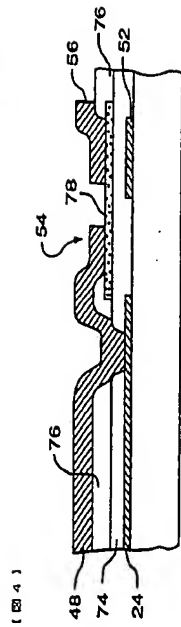


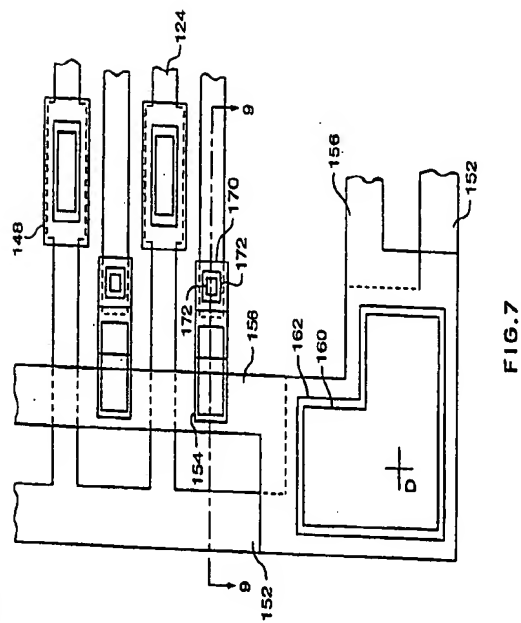
FIG.2.

【図3】

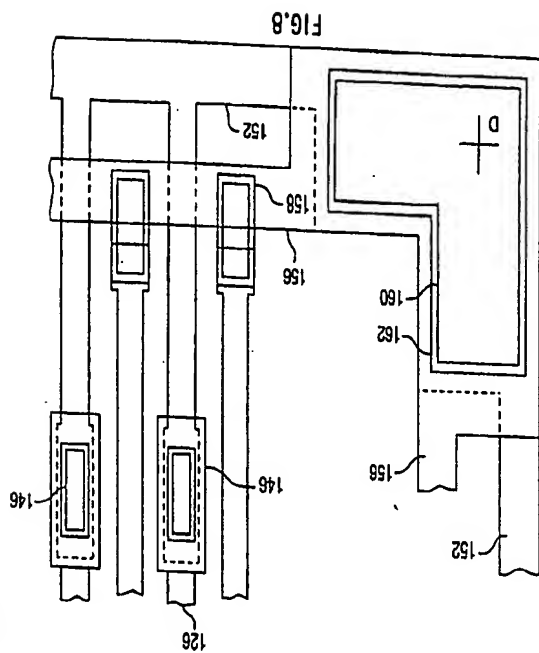




【図7】



【図8】



INTERNATIONAL SEARCH REPORT	
PCT/CA 95/00454	
PCT/CA 95/00454	
A	PATENT ABSTRACTS OF JAPAN & J.P.A. 93 002838 (MITSUBISHI ELECTRON CORP.) 19 January 1993. JOURNAL OF ELECTROSTATIC VOL. 31, no. 2/93, 1 December 1993. PAGES 323-325, XEROX 4250 DURING WAFER FABRICATION PROCESS. see the whole document....
A	1:5 14:19 1

INTERNATIONAL SEARCH REPORT	
PCT/CA 95/00454	
PCT/CA 95/00454	
EP-A-0010241	21-09-94
US-A-5220443	15-05-93
JP-A-	626786
NONE	22-09-94